

(19)日本国特許庁 (J P)

(12) 特 許 公 報 (B 1)

(11)特許番号

特許第3037313号
(P3037313)

(45)発行日 平成12年 4 月24日 (2000. 4. 24)

(24)登録日 平成12年 2 月25日 (2000. 2. 25)

(51)Int.Cl.⁷

識別記号

F I

H 0 4 Q 7/38

H 0 4 B 7/26

1 0 9 A

H 0 4 J 3/06

H 0 4 J 3/06

C

H 0 4 L 12/28

H 0 4 L 11/00

3 1 0 A

請求項の数 8 (全 13 頁)

(21)出願番号 特願平11-13748

(22)出願日 平成11年 1 月22日 (1999. 1. 22)

審査請求日 平成11年 1 月22日 (1999. 1. 22)

(73)特許権者 390010179

埼玉日本電気株式会社

埼玉県児玉郡神川町大字元原字豊原300
番18

(72)発明者 角野 治

埼玉県児玉郡神川町大字元原字豊原300
番18 埼玉日本電気株式会社内

(74)代理人 100080816

弁理士 加藤 朝道

審査官 鈴木 匡明

(56)参考文献 特開 平 8 - 272706 (J P, A)

最終頁に続く

(54)【発明の名称】 移動通信基地局変復調装置におけるデジータチェーン接続方法及び装置

1

(57)【特許請求の範囲】

【請求項 1】移動通信基地局変復調装置のデジータチェーン接続方法において、

ハイウェイインターフェース部が運用中のときは、前記ハイウェイインターフェース部からのクロック信号に同期し、前記ハイウェイインターフェース部からのデータ信号と、下位側ハイウェイ及び上位側ハイウェイとの間で多重変換を行い、

前記ハイウェイインターフェース部が非運用中のときは、上りは下位側ハイウェイのクロック信号に同期し、下りは上位側ハイウェイのクロック信号に同期し、上下ハイウェイのみ多重変換を行い、装置リセットがかかり前記ハイウェイインターフェース部が非運用状態になったときでも、上位ハイウェイと下位ハイウェイの回線接続状態が維持されるようにしたことを特徴とする移動通

2

信基地局変復調装置のデジータチェーン接続方法。

【請求項 2】バイポーラ信号とユニポーラ信号の変換機能と、下位側ハイウェイと上位側ハイウェイとの間でタイムスロットの多重変換機能を具備した多重変換部と、ハイウェイデータの中継、ハイウェイ回線の障害監視、回線クロックを基準に装置内クロックの生成を行うハイウェイインタフェース部と、を含む移動通信基地局変復調装置のデジータチェーン接続方法において、

前記多重変換部を介して、上位側回線及び下位側回線との接続を行い、前記多重変換部は、装置内リセットではリセットされず、前記ハイウェイインタフェース部が非運用状態の時にも上位及び下位回線の接続を維持可能としたことを特徴とする移動通信基地局変復調装置のデジータチェーン接続方法。

【請求項 3】ハイウェイ側のバイポーラ信号と装置内の

ユニポーラ信号との変換を行うとともに、下位側ハイウェイと上位側ハイウェイとの間でタイムスロット(TS)の多重変換を行う多重変換部と、

ハイウェイデータの中継、ハイウェイ回線の障害監視、回線クロックを基準に装置内クロックの生成を行うハイウェイインターフェース部と、
を含み、

前記多重変換部は、装置リセットではリセットされず装置内で独立したリセット系統を有し、

前記多重変換部を介してデジチーチェーン接続されることを特徴とする移動通信基地局変復調装置。

【請求項4】バイポーラ／ユニポーラ変換手段と、B8ZSコード手段と、多重分離手段と、を備え、ハイウェイからのバイポーラ信号をユニポーラ信号に変換し、下位側ハイウェイと上位側ハイウェイとの間でタイムスロット(TS)の多重変換を行う多重変換部と、

ハイウェイデータの中継、ハイウェイ回線の障害監視、回線クロックを基準に装置内クロックの生成を行うハイウェイインターフェース部と、
を含み、

前記多重変換部は、装置リセットではリセットされず装置内で独立したリセット系統を有し、

前記多重変換部を介してデジチーチェーン接続されることを特徴とする移動通信基地局変復調装置。

【請求項5】ハイウェイインターフェース部が運用中のときは、前記ハイウェイインターフェース部からのクロック信号に同期し、前記ハイウェイインターフェース部からのデータ信号と、下位側ハイウェイ及び上位側ハイウェイとの間で多重変換を行い、

前記ハイウェイインターフェース部が非運用中のときは、上りは下位側ハイウェイのクロック信号に同期し、下りは上位側ハイウェイのクロック信号に同期し、上下ハイウェイのみ多重変換を行う多重変換部を備えたことを特徴とする移動通信基地局変復調装置。

【請求項6】前記多重変換部が、装置リセットではリセットされず装置内で独立したリセット系統を有する、ことを特徴とする請求項5記載の移動通信基地局変復調装置。

【請求項7】前記多重変換部が、

上位ハイウェイ回線からの下り信号、及び前記上位ハイウェイ回線への上り信号をそれぞれ受信、及び送信する第1のバイポーラ／ユニポーラ変換部、及び第1のユニポーラ／バイポーラ変換部と、

前記第1のバイポーラ／ユニポーラ変換部でユニポーラ変換された正極側ハイウェイデータ信号、及び負極側ハイウェイデータ信号から、ハイウェイ抽出クロック信号を用いて、B8ZSデコードを行い、データ信号を生成する第1のB8ZSデコードと、

前記データ信号から正極、及び負極データ信号を生成し、それぞれB8ZSエンコードを行い、正極側ハイウ

エイデータ信号、負極側ハイウェイデータ信号、及び送信クロック信号を、前記第1のユニポーラ／バイポーラ変換部に出力する第1のB8ZSエンコードと、

前記第1のB8ZSデコードからのデータ信号からFビットの検出を行いフレーム信号を生成する第1のフレーム信号生成部と、

下位ハイウェイ回線からの上り信号、及び前記下位ハイウェイ回線への下り信号をそれぞれ受信、及び送信する第2のバイポーラ／ユニポーラ変換部、及び第2のユニポーラ／バイポーラ変換部と、

前記第2のバイポーラ／ユニポーラ変換部でユニポーラ変換された正極側ハイウェイデータ信号、及び負極側ハイウェイデータ信号から、ハイウェイ抽出クロック信号を用いて、B8ZSデコードを行い、データ信号を生成する第2のB8ZSデコードと、

前記データ信号から正極、及び負極データ信号を生成し、それぞれB8ZSエンコードを行い、正極側ハイウェイデータ信号、負極側ハイウェイデータ信号、及び送信クロック信号を、前記第2のユニポーラ／バイポーラ変換部に出力する第2のB8ZSエンコードと、

前記第2のB8ZSデコードからのデータ信号からFビットの検出を行いフレーム信号を生成する第2のフレーム信号生成部と、

上位側送信信号データ多重部と下位側送信データ多重部とを含み、前記第1のB8ZSデコードからのデータ信号、クロック信号、及び前記第1のフレーム信号生成部からのフレーム信号を前記ハイウェイインターフェース部に対しては、そのまま出力し、前記下位ハイウェイ回線に対しては、前記下位側送信信号データ多重部で前記

ハイウェイインターフェース部からの下りデータ信号と多重を行って、データ信号とクロック信号を前記第2のB8ZSエンコードに出力し、

前記第2のB8ZSデコードからのデータ信号、クロック信号、及び前記第2のフレーム信号生成部からのフレーム信号を前記ハイウェイインターフェース部に対しては、そのまま出力し、前記上位ハイウェイ回線に対しては、前記上位側送信信号データ多重部で前記ハイウェイインターフェース部からの上りデータ信号と多重を行って、データ信号、クロック信号を前記第1のB8ZSエンコードに出力するデータ分離多重部を備え、

前記上位側送信信号データ多重部と前記下位側送信データ多重部は共に、前記ハイウェイインターフェース部が運用時のみ、前記ハイウェイインターフェース部からの送信信号をそれぞれ多重し、前記ハイウェイインターフェース部が非運用時、上位側送信信号データ多重部は、前記第2のB8ZSデコードからのデータ信号とクロック信号をそのまま、前記第1のB8ZSエンコードに出力し、前記下位側送信データ多重部は、前記第1のB8ZSデコードからのデータ信号とクロック信号をそのまま、前記第2のB8ZSエンコードに出力し、装置リセ

ットがかかり、前記ハイウェイインターフェース部が非運用状態になったときでも、上位ハイウェイと下位ハイウェイの回線接続状態は維持される、ことを特徴とする請求項4記載の基地局変復調装置。

【請求項8】前記多重変換部が、

上位ハイウェイ回線からの下り信号及び前記上位ハイウェイへの上り信号をそれぞれ受信及び送信する第1のバイポーラ／ユニポーラ変換部及び第1のユニポーラ／バイポーラ変換部と、

下位ハイウェイ回線からの上り信号及び前記下位ハイウェイへの下り信号をそれぞれ受信及び送信する第2のバイポーラ／ユニポーラ変換部及び第2のユニポーラ／バイポーラ変換部と、

上位側送信信号データ多重部と下位側送信データ多重部とを含み、前記第1のバイポーラ／ユニポーラ変換部からのデータ信号、クロック信号、及びフレーム信号を前記ハイウェイインターフェース部に対しては、そのまま出力し、前記下位ハイウェイ回線に対しては、前記下位側送信信号データ多重部で前記ハイウェイインターフェース部からの下りデータ信号と多重を行い、データ信号、クロック信号、及びフレーム信号を前記第2のユニポーラ／バイポーラ変換部に出力し、

前記第2のバイポーラ／ユニポーラ変換部からのデータ信号、クロック信号、及びフレーム信号を前記ハイウェイインターフェース部に対しては、そのまま出力し、上位ハイウェイ回線に対しては、前記上位側送信信号データ多重部で前記ハイウェイインターフェース部からの下りデータ信号と多重を行い、データ信号、クロック信号、及びフレーム信号を前記第1のユニポーラ／バイポーラ変換部に出力するデータ分離多重部を備え、前記上位側送信信号データ多重部と前記下位側送信データ多重部は共に、前記ハイウェイインターフェース部が運用時のみ、前記ハイウェイインターフェース部からの送信信号をそれぞれ多重し、前記ハイウェイインターフェース部が非運用時、上位側送信信号データ多重部は、前記第2のバイポーラ／ユニポーラ変換部からのデータ信号、クロック信号、及びクロック信号をそのまま、前記第1のユニポーラ／バイポーラ変換部に出力し、前記下位側送信データ多重部は、前記第1のバイポーラ／ユニポーラ変換部からのデータ信号、クロック信号、及びクロック信号をそのまま、前記第2のユニポーラ／バイポーラ変換部に出力し、装置リセットがかかり、前記ハイウェイインターフェース部が非運用状態になったときでも、上位ハイウェイと下位ハイウェイの回線接続状態は維持される、ことを特徴とする請求項3記載の基地局変復調装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、移動無線通信システムに関し、移動通信基地局変復調装置におけるデジ

ーチェーン接続回路に関する。

【0002】

【従来の技術】従来、移動通信基地局において、回線の接続方法として、デジチェーン接続を行う場合、移動通信基地局装置に、多重変換装置(MUX)を接続するか、もしくは、図12に示すように、移動通信基地局変復調装置110のハイウェイインターフェース111を介して接続する方法が用いられていた。図12を参照すると、従来の基地局変復調装置110では、主にハイウェイ回線のインターフェースを担うハイウェイインターフェース部111と、無線インターフェースを担う送受信部213と、装置内の監視制御を行う監視制御部214と、を備えて構成されており、複数の基地局変復調装置110、120、…1n0は、それぞれハイウェイインターフェース部111、121、…1n1を介してデジチェーン接続方式で交換局100に接続される。

【0003】

【発明が解決しようとする課題】移動通信基地局装置に、多重変換装置(MUX)を接続する場合、基地局変復調装置の他に、多重変換装置を新たに設置する必要があり、コスト及び設置スペース等が増加するため、あまり簡易な方法とはいえない。

【0004】また、移動通信基地局変復調装置110のハイウェイインターフェース部111を介して接続する方法は、他に装置を用意する必要が無く、比較的簡易にデジチェーン接続を実現することができる。しかしながら、例えば装置に障害が発生し、装置リセットをかけた場合、下位側の装置がシステムダウンしてしまう、という問題がある。この問題点について説明する。

【0005】図13は、図12に示した従来のハイウェイインターフェース部111の構成を示す図である。図13を参照すると、上位回線用のバイポーラ／ユニポーラ変換部301と、下位回線用のバイポーラ／ユニポーラ変換部302と、ハイウェイ制御部303と、ブロック変換部304と、を備えている。

【0006】図13に示すように、デジチェーンを実現する上位ハイウェイ回線と下位ハイウェイ回線の多重変換を、装置内パスの回線設定を行う為のブロック交換部304を用いて行っているため、ハイウェイインターフェース部がリセットされると、ブロック交換部304の回線設定が初期化されてしまい、多重変換は行われない。このため、下位回線側の装置がシステムダウンしてしまう。

【0007】したがって、本発明は、上記問題点に鑑みてなされたものであって、その目的は、装置リセットをかけた場合でも、下位側に接続されている装置がシステムダウンすることを回避する方法及び装置を提供することにある。

【0008】本発明の他の目的は、システムのコストの

低減、省スペース化、及び、接続の簡易化を図る方法及び装置を提供することにある。

【0009】

【課題を解決するための手段】前記目的を達成する本発明は、バイポーラ／ユニポーラ変換機能とB8ZSコード機能に、多重分離機能を備え、ハイウェイからのバイポーラ信号をユニポーラ信号に変換し、下位側ハイウェイと上位側ハイウェイとの間でタイムスロット(TS)の多重変換を行う多重変換部と、ハイウェイデータの中継、ハイウェイ回線の障害監視、回線クロックを基準に装置内クロックの生成を行うハイウェイインターフェース部と、を含み、前記多重変換部は、装置リセットではリセットされず、装置内で独立したリセット系統を有し、前記多重変換部を介してデジタイゼーション接続されることを特徴とする。

【0010】本発明において、多重変換部は、ハイウェイインターフェース部が運用中は、ハイウェイインターフェース部からのクロック信号に同期し、ハイウェイインターフェース部からのデータ信号と、下位側ハイウェイを上位側ハイウェイとの間で多重変換を行い、ハイウェイインターフェース部が非運用中のとき、上りは下位側ハイウェイのクロック信号に同期し、下りは上位側ハイウェイのクロック信号に同期し、上下ハイウェイのみ多重変換を行うことにより、デジタイゼーション接続を実現する。

【0011】

【発明の実施の形態】本発明の実施の形態について説明する。本発明では、図2に示すように、ハイウェイインターフェース部から、バイポーラ／ユニポーラ変換機能とB8ZSコード機能とを分離し、新たに多重分離機能を追加した多重変換部406を備え、そのリセットを、装置リセットとは別系統とすることにより、システムの信頼性を損なうことなく、簡易にデジタイゼーション構成を実現するものである。

【0012】このように、ハイウェイインターフェースによる通信装置間のデジタイゼーション接続を、多重変換装置(MUX)を用いることなく、同等のデジタイゼーション接続ができるため、コストダウンと設置の簡易化を図ることができる。

【0013】ハイウェイインターフェースのインターフェースの規格として、主に、1. 544Mbit/s・AMI符号と、2. 048Mbit/s・CMI符号のものがある。

【0014】また、装置に障害が発生し、装置リセットをかけたとき、下位側に接続された装置をシステムダウンすることが無い。

【0015】図1は、本発明の一実施の形態の装置構成及び接続形態を示す図である。図1を参照すると、基地局変復調装置210～2n0の多重変換部212～2n2は、ハイウェイ(HWY)からのバイポーラ信号をユ

ニポーラ信号に変換し、下位側ハイウェイと上位側ハイウェイとの間でタイムスロット(TS)の多重変換を行う。

【0016】基地局変復調装置210～2n0のハイウェイインターフェース部211～2n2は、ハイウェイデータの中継、ハイウェイ回線の障害監視、回線クロックを基準に装置内クロックの生成等を行う。なお、基地局変復調装置210～2n0はいずれも同一構成とされている。

10 【0017】本発明の一実施の形態において、基地局変復調装置210では、図12に示した従来のハイウェイインターフェース部111(図1参照)から、バイポーラ／ユニポーラ変換機能と、B8ZSコード機能を分離し、新たに多重分離機能を追加した多重変換部212を備えている。

【0018】多重変換部212は、基地局変復調装置210内で独立したリセット系統を持ち、装置リセットはきかない。これにより、装置内各部に障害が発生し、装置リセットをかけた場合にも、下位側に接続されている装置をシステムダウンさせることがない。また、多重変換装置(MUX)を用いた場合に比べ、比較的成本を抑え、簡易にデジタイゼーション構成を実現する。

【0019】

【実施例】本発明の実施例について図面を参照して説明する。本発明の第1の実施例として、1544kbit/s・AMI符号に準拠したハイウェイを使用した場合について説明する。

【0020】図1は、本発明の第1の実施例をなすデジタイゼーション接続回路を有する基地局変復調装置の構成を示す図である。図1を参照すると、複数の基地局変復調装置210～2n0は、ハイウェイ回線#1～#nによって、デジタイゼーション接続されている。

【0021】各基地局変復調装置210～2n0は、それぞれハイウェイインターフェース部211～2n1と、多重変換部212～2n2と、送受信部213～2n3と、監視制御部214～2n4とを備えて構成されている。なお、基地局変復調装置210～2n0はいずれも同一の構成とされている。

【0022】多重変換部212～2n2は、ハイウェイ回線の上位回線及び下位回線の受信信号をバイポーラ信号からユニポーラ信号に、送信信号をユニポーラ信号からバイポーラ信号に変換し、受信信号よりそれぞれフレーム信号を生成し、上位回線のタイムスロット(TS)と下位回線のタイムスロット(TS)のデータ多重変換を行う。

【0023】ハイウェイインターフェース部211～2n1は、多重変換部212～2n2により、ユニポーラ信号に変換されたハイウェイ信号と装置内バスとの中継を行い、回線の障害監視(CRCチェック、フレーム同期確立、障害通知等)を行う。

【0024】送受信部213～2n3は、端末との送受信を行う。

【0025】監視制御部214～2n4は装置内の各種監視制御を行う。

【0026】図1を参照すると、装置リセットの有効範囲は、多重変換部212を除いた部分とされている。これにより、ハイウェイインターフェース211、送受信部213、または監視制御部214に障害が発生した場合、装置リセットを実行しても、多重変換部212はリセットされず、デジタイズ接続された基地局変復調装置220～2n0がシステムダウンすることはない。

【0027】次に、本発明の一実施例における多重変換部212～2n2の構成について説明する。図3は、本発明の一実施例における多重変換部212～2n2の構成をブロック図にて示したものである。

【0028】図3を参照すると、多重変換部212～2n2は、バイポーラ／ユニポーラ変換部501、503と、ユニポーラ／バイポーラ変換部502、504と、B8ZSデコーダ505、507と、B8ZSエンコーダ506、508と、フレーム信号生成部509、510と、データ分離多重部513とを備えて構成されている。

【0029】データ多重分離部513は、上位側送信信号データ多重部511と下位側送信データ多重部512とを含む。

【0030】バイポーラ／ユニポーラ変換部501は、上位ハイウェイ回線の下り信号IN0[+]、IN0[-]を受信し、バイポーラ／ユニポーラ変換を行い、また、クロック信号RC0を抽出する。

【0031】B8ZSデコーダ505は、ユニポーラ変換された正極側ハイウェイデータ信号RD0P、及び負極側ハイウェイデータ信号RD0Mから、ハイウェイ抽出クロック信号RC0を用いて、B8ZSデコードを行い、データ信号RD0を生成する。

【0032】フレーム信号生成部509は、データ信号RD0からFビットの検出を行い、フレーム信号RF0を生成する。

【0033】データ分離多重部513は、データ信号RD0、クロック信号RC0、フレーム信号RF0をハイウェイインターフェース部に対しては、そのまま出力し(RDU、RCU、RFU)、下位ハイウェイ回線に対しては、下位側送信信号のデータ多重部512でハイウェイインターフェース部からの下りデータ信号TDDと多重を行い、データ信号TD1、クロック信号TC1をB8ZSエンコーダ508に対して出力する。

【0034】B8ZSエンコーダ508は、データ信号TD1から正極、及び負極データ信号を生成し、それぞれB8ZSエンコードを行い、正極側ハイウェイデータ信号TD1P、負極側ハイウェイデータ信号TD1

M、及び送信クロック信号TC1を出力する。

【0035】ユニポーラ／バイポーラ変換部504は、送信クロック信号TC1を用いてユニポーラデータ信号TD1P、TD1Mをデューティ50%のRZ信号に変換し、更にレベル変換を行い、バイポーラ信号をOUT1[+]、OUT1[-]出力する。

【0036】バイポーラ／ユニポーラ変換部503は、下位ハイウェイ回線の上り信号IN1[+]、IN1[-]を受信し、バイポーラ／ユニポーラ変換を行い、また、クロック信号RC1を抽出する。

【0037】B8ZSデコーダ507は、ユニポーラ変換された正極側ハイウェイデータ信号RD1P、及び負極側ハイウェイデータ信号RD1Mから、ハイウェイ抽出クロック信号RC1を用いて、B8ZSデコードを行い、データ信号RD1を生成する。

【0038】フレーム信号生成部510は、データ信号RD1からFビットの検出を行い、フレーム信号RF1を生成する。

【0039】データ分離多重部511は、データ信号RD1、クロック信号RC1、フレーム信号RF1をハイウェイインターフェース部に対してはそのまま出力し(RDD、RCD、RFD)、上位ハイウェイ回線に対しては、上位側送信信号のデータ多重部511でハイウェイインターフェース部からの上りデータ信号TDUと多重を行い、データ信号TD0、クロック信号TC0をB8ZSエンコーダ506に対して出力する。

【0040】B8ZSエンコーダ506は、TD0から正極、及び負極データ信号を生成し、それぞれB8ZSエンコードを行い、正極側ハイウェイデータ信号TD0P、負極側ハイウェイデータ信号TD0M、及び送信クロック信号TC0を出力する。

【0041】ユニポーラ／バイポーラ変換部502は、送信クロック信号TC0を用いてユニポーラデータ信号TD0P、TD0Mをデューティ50%のRZ信号に変換し、更にレベル変換を行いバイポーラ信号OUT0[+]、OUT0[-]を出力する。

【0042】データ多重部511、及びデータ多重部512は共に、ハイウェイインターフェース部が運用時(HIUACT信号="H")のみ、ハイウェイインターフェース部211からの送信信号TDU及びTDDをそれぞれ多重する。

【0043】ハイウェイインターフェース部211が非運用時(HIUACT="L")、データ多重部511は、受信したデータ信号RD1、クロック信号RC1をそのままTD0、TC0に出力し、データ多重部512は、受信したデータ信号RD0、クロック信号RC0をそのままTD1、TC1に出力する。

【0044】かかる構成により、装置リセットがかかり、ハイウェイインターフェース部211が非運用状態になったときでも、上位ハイウェイと下位ハイウェイの

回線接続状態は維持される。

【0045】次に、デジチェーン接続を実現するデータ多重部511の構成について説明する。

【0046】図6は、本発明の一実施例におけるデータ多重部511の構成を示すブロック図である。図6を参照すると、データ多重部511は、デュアルポートRAM (DUAL PORT RAM、「DP-RAM」という) 807と、シリアル/パラレル変換(S/P変換)部801と、ライトアドレス生成部802と、ライトパルス生成部803と、パラレル/シリアル変換(P/S変換)部809と、リードアドレス生成部810と、ロードパルス生成部811と、アドレス比較・面制御部808と、セクタ804~806と、データ合成部812と、CRCビット挿入813部とを備えている。

【0047】S/P変換部801は、受信したRD1を8ビットパラレルデータに変換する。

【0048】ライトアドレス生成部802は、クロック信号RC1、フレーム信号RF1から各タイムスロット毎にライトアドレスを生成する。

【0049】ライトパルス部生成803は、各タイムスロットのパラレルデータをDP-RAM807に書き込むタイミングを生成する。

【0050】DP-RAM807は、RD0/1の各タイムスロットのデータを1アドレス毎に2フレーム格納する容量(8bit×48)を持つ。

【0051】DP-RAM807に書き込まれたデータは、P/S変換部809、リードアドレス生成部810によって読み出され、再びシリアルデータに変換される。

【0052】ロードパルス生成部811は、DP-RAM807からのパラレルデータをS/P変換部809にロードするタイミングを与える。

【0053】また、リードアドレス生成部810は、多重設定レジスタ(図4、図5参照)を備え、この設定により、パラレル/シリアル変換を行うタイムスロットデータのあるアドレスを生成する。

【0054】P/S変換部809、リードアドレス生成部810、及びロードパルス生成部811は、セクタ804~806により選択されたクロック、フレームのタイミングに同期している。

【0055】セクタ805、806は、DP-RAM807の読み出しクロックの選択を行う。

【0056】HIUACT="L"のときは、それぞれRC1、RF1を出力し、HIUACT="H"のときは、それぞれTCD、TFDを出力する。

【0057】また、セクタ804は、HIUACT="L"のときはRD1を出力し、HIUACT="H"のときはTDDを出力する。

【0058】アドレス比較・面制御部808は、DP-RAM807のライトアドレスを基準に、リードアドレ

スがある範囲内に近づいたとき、リードアドレスの最上位ビット(MSB)を反転し、読み出し面を変更する。これにより、同一アドレスに対して同時にリードライトすることを避ける。

【0059】データ合成部812は、セクタ804の出力とP/S変換部809の出力の合成を行う。

【0060】CRC (Cyclic Redundancy Check Code) ビット挿入部813は、合成後のデータの各マルチフレームに対してCRC演算を行い、演算の結果を、次のマルチフレームのFビットに挿入する。

【0061】データ多重部512は、データ多重部511と同じ構成とされているため、その説明を省略する。

【0062】本発明の一実施例の動作について説明する。まず、下りハイウェイの動作から説明する。

【0063】バイポーラ/ユニポーラ変換部501は上位側受信ハイウェイのバイポーラ信号IN0[+]、IN0[-]を受信し、正極データ信号R-DOP、負極データ信号R-DOMに変換する。また、クロック信号を抽出してR-COを出力する。ユニポーラ信号に変換されたハイウェイ信号は、B8ZSデコード部505によってデコードされ、データ信号RD0に変換される。

【0064】フレーム信号生成部509は、このRD0、RC0からFビットを検出しフレーム信号RF0を生成する。

【0065】データ分離多重部513は、デジチェーン接続を実現するハイウェイ回線の分離多重を行う。

【0066】データ信号RD0、クロック信号RC0、フレーム信号RF0はハイウェイインターフェース部へそのまま出力し(RDU、RCU、RFU)、また、データ多重部512に入力される。

【0067】ハイウェイインターフェース部からのデータ信号TDD、データ多重部512にてRD0と多重され、B8ZSエンコード部508に送信される(TD1)。ここで、HIUACT="H"のとき、送信されるクロック、及びフレームタイミングはTCD、TFDとし、クロック信号RC0、フレーム信号RF0との位相差の吸収も行われる。

【0068】また、HIUACT="L"のときは、送信クロック及びフレームのタイミングは、RC0、RF0とする。

【0069】データ多重分離部512は、多重設定レジスタ(図4、図5参照)を有し、タイムスロット毎に任意の多重変換が可能である。

【0070】RD0からTD1に多重するには、TD1の各タイムスロット毎に多重設定レジスタのアドレス0018H番地から002FH番地のD5ビットを"1"に設定する。

【0071】また、そのTD1の各タイムスロットに対し、RD0のどのタイムスロット(TS)を多重する

かを各レジスタのD0～D4ビットに指定する。

【0072】B8ZSエンコーダ部508は、データ信号TD1から正極側データ及び負極側データを生成し、それぞれB8ZS符号変換を行い、正極データ信号T-D1P、及び負極データ信号T-D1Mを生成する。

【0073】ユニポーラ／バイポーラ変換部504は、受信したT-D1P、T-D1M、T-C1をAMI符号変換、及びレベル変換を行い、バイポーラ信号OUT1[+]、OUT1[-]を送信する。

【0074】次に、上りハイウェイの動作について説明する。

【0075】バイポーラ／ユニポーラ変換部503は、下位側受信ハイウェイのバイポーラ信号IN1[+]、IN1[-]を受信し、正極データ信号R-D1P、負極データ信号R-D1Mに変換する。また、クロック信号を抽出して、R-C1を出力する。

【0076】ユニポーラ信号に変換されたハイウェイ信号は、B8ZSデコーダ部507によってデコードされ、データ信号RD1に変換される。フレーム信号生成部510はこのRD1、RC1からFビットを検出しフレーム信号RF1を生成する。

【0077】データ多重分離部513において、データ信号RD1、クロック信号RC1、フレーム信号RF1は、ハイウェイインターフェース部へそのまま出力し(RDD、RCD、RFD)、またデータ多重部511に入力される。

【0078】ハイウェイインターフェース部からのデータ信号TDU、データ多重部512にてRD1と多重され、B8ZSエンコーダ部506に送信される(TD0)。このとき、送信されるクロック、及びフレームタイミングは、TCU、TFUとし、RC1、RF1との位相差の吸収も行う。

【0079】また、HIUACT="L"のときは、送信クロック、及びフレームのタイミングはRC1、RF1とする。

【0080】また、データ多重分離部511は多重設定レジスタ(図4、図5)を備え、タイムスロット毎に任意の多重変換が可能である。

【0081】受信データ信号RD1から送信データ信号TD0に多重するには、TD0の各タイムスロット毎に多重設定レジスタのアドレス0000H番地から0017H番地のD5ビットを"1"に設定する。また、そのTD0の各タイムスロットに対して、RD1のどのタイムスロットを多重するかを各レジスタのD0～D4ビットに指定する。

【0082】B8ZSエンコーダ部506は、データ信号TD0から正極側データ、及び負極側データを生成し、それぞれB8ZS符号変換を行い、正極データ信号T-D0P、及び負極データ信号T-D0Mを生成する。

【0083】ユニポーラ／バイポーラ変換部502は、受信したT-D0P、T-D0M、T-C0をAMI符号変換、及び、レベル変換を行い、バイポーラ信号OUT0[+]、OUT0[-]を送信する。

【0084】次に、データ多重部511の動作について説明する。データ多重部511は、データ信号RD1から、多重設定レジスタで設定されているタイムスロットのみを取り出し、ハイウェイインターフェース部からのデータ信号TDUに多重して、上位側送信ハイウェイに出力するデータ信号TD0を生成する。

【0085】データ信号RD1は、クロック信号RC1を使って、S/P変換部801でパラレルデータに変換され、DP-RAM807に入力される。

【0086】また、クロック信号RC1及び、フレーム信号RF1よりライトアドレス生成部802でライトアドレスが、ライトパルス生成部803にてライトパルスが生成され、パラレルデータに変換されたRD0/1信号がDP-RAM807に書き込まれる。

【0087】図7は、DP-RAM807の書き込みタイミングを示す図である。図7を参照すると、タイムスロットTS1～TS24のデータは、それぞれアドレス00H～17Hに書き込まれる。

【0088】FビットはDP-RAM807には書き込まれない。

【0089】DP-RAM807に書き込まれたデータは、P/S変換部809でシリアルデータに変換される。

【0090】DP-RAM807のリードアドレスは、リードアドレス生成部810で生成され、リードアドレス生成部810内にある多重設定レジスタのD0～D4の値によって決定される。

【0091】また、P/S変換部809のパラレルデータのロードタイミングは、ロードパルス生成部811で生成される。

【0092】ロードパルス生成のタイミングは、セクタ805、及びセクタ806によって選択されたクロック信号とフレーム信号で生成される。

【0093】セクタ805、及びセクタ806は、HIUACT="H"のとき、RC1、及びRF1が出力され、HIUACT="L"のとき、TCU、及びTFUが選択される。

【0094】このように、信号HIUACTによって、クロック信号及びフレーム信号を切り替えており、送信ハイウェイ信号を、ハイウェイインターフェースが運用時にはハイウェイインターフェースからのクロック、フレームに同期させ、ハイウェイインターフェースが非運用時には、受信ハイウェイ信号に同期させる。

【0095】アドレス比較・面制御部808は、DP-RAM807のライトアドレスとリードアドレスとを比較し、ある範囲内で近づいたとき、リードアドレスの最

上位ビットを反転する。D-PRAM807は、2フレーム分（2面）の容量を持つため、ライト面とリード面が変わるため、同一アドレスに対する同時リードライトを避けられる。

【0096】P/S変換部809でシリアル変換されたデータは、データ合成部812で、セクタ804にて選択されたデータ信号と合成される。このとき、P/S変換部809の出力のデータうち、該当TSの多重変換レジスタのD5ビットにて、ON（0）を設定したTSのみ多重を行う。

【0097】これは、多重変換レジスタのD5ビットがON（0）になっているTSのタイミングで、リードアドレス生成部810より出力される多重イネーブル信号821により与えられる。

【0098】図8は、D-PRAM807のリード（読み出し）タイミングを示す図である。多重設定レジスタは、TD0-TS2設定（アドレス0001H）が多重ON、RD0-TS1に設定（データ：00H）され、TD0-TS3設定（アドレス0002H）が多重ON、R0-TS2に設定（データ：01H）されて、その他は多重OFFの設定とする。

【0099】ハイウェイインターフェース部が、ACTON（運用中）のとき（HIUACT="H"）、リードタイミングは、ハイウェイインターフェース部からの信号（TDU）に同期している（図8の1001）。

【0100】D-PRAM807のリードアドレスは、リードアドレス生成部810において、図示されない多重設定レジスタアドレスカウンタによって多重設定レジスタの値を読み出し、決定している。

【0101】リードアドレスは、該タイムスロットの前のタイムスロット中に設定され、そのアドレスによってリードされたデータは、図8中に示すP/S変換ロードパルスのタイミングで、P/S変換部801にロードされる。

【0102】P/S変換されたシリアルデータは、多重イネーブル信号が“H”の間（多重設定レジスタのD5ビットを“0”に設定したTS）のタイムスロットのみ多重される（1005、1006）。

【0103】多重OFFの設定になっているタイムスロットTS1とTS24は、TDUのタイムスロットをそのままTD0に出力する（図8の1002、1004）。

【0104】また、FビットもTDUのFビットがそのままTD0に出力される（図8の1003）。

【0105】ハイウェイインターフェース部がACTOFF（非運用時）のとき（HIUACT="L"）、リードタイミングはハイウェイ回線からの信号（RD1）に同期している（図8の1007）。

【0106】D-PRAM807からのデータリード、及びP/S変換後のデータ出力はHIUACT="H" 50

のときと同様に行われる。

【0107】ただし、多重OFF設定になっているタイムスロットは、“H”にマスクする（図8の1009）。また、FビットはRD1のFビットをそのまま出力する（図8の1008）。

【0108】次に本発明の第2の実施例について説明する。本発明の第2の実施例は、ハイウェイが2.048 Mbit/s、CMI符号に準拠した仕様の場合について説明する。

10 【0109】図9は、本発明の第2の実施例における多重変換部の構成を示すブロック図である。図9を参照すると、本発明の第2の実施例において、バイポーラ/ユニポーラ変換部1101、1103は、受信したCMI信号からPLL回路によりクロック信号（RC0、1）を再生する。

【0110】また、バイオレーション検出を行い、データ信号（RD0、RD1）と、フレーム信号（RF0、RF1）を分離する。

20 【0111】ユニポーラ/バイポーラ変換部1102、1104は、ユニポーラ信号の送信データ信号（TD0、TD1）、送信クロック信号（TC0、TC1）、送信フレーム信号（TF0、TF1）を、CMI信号に変換する。

【0112】データ多重部1105、1106は、基本的には、図6に示した前記第1の実施例と同様の構成とされているが、2.048 Mbit/s、CMI符号では、CRC演算を行わないため、CRCビット挿入部813は不要とされる。これ以外の構成は図6に示したものとほぼ同等の構成となる。

30 【0113】また、多重設定レジスタも、図4、及び図5と同等の構成とされるが、タイムスロットが32個あるため、TS25～TS31設定用の多重設定レジスタが増え、アドレスは0000H～001FHがTD0設定用、0020H～003FHがTD1設定用となる。

【0114】図10は、本発明の第2の実施例におけるD-PRAMのライトタイミングを示す図である。図10を参照すると、Fビットが無いこと、及びタイムスロットがTS31までになった以外は、前記第1の実施例と同じ動作タイミングであることがわかる。

40 【0115】図11は、D-PRAMのリードタイミングを示す図である。多重設定レジスタは、前記第1の実施例と同じ設定である。図11を参照すると、Fビットが無いことと、TSがTS0～TS31になったことと、TS0以外は、前記第1の実施例と同等の動作タイミングとなる。

【0116】TD0-TS0はハイウェイ回線のマルチフレームビット、警報通知ビット等を含むため、前記第1の実施例のFビットと同じように、ハイウェイインターフェース部がACTON（HIUACT="H"）のときは、TDU-TS0を出力し（1303）、非運用

中（HIUACT="L"）のときは、RD1-TS0を出力する（1307）。

【0117】上記した各実施例の構成、動作タイミングにより、2.048Mbit/s、CMI符号のハイウェイインターフェースでのディジーチェーン接続が実現できる。

【0118】

【発明の効果】以上説明したように、本発明によれば下記記載の効果を奏する。

【0119】本発明の第1の効果は、装置リセットをかけても、下位側に接続されている装置がシステムダウンすることが確実に回避される、ということである。

【0120】その理由は、本発明においては、移動通信基地局内に多重変換部を独立して設け、装置リセットの有効範囲外とする構成としている、ためである。

【0121】本発明の第2の効果は、システムのコストの低減、及び省スペース化、及び接続の簡易化を図ることができる、ということである。

【0122】その理由は、本発明においては、ディジーチェーン接続回路を、移動通信基地局変復調装置に内蔵したため、多重変換装置（MUX）を必要としないためである。

【図面の簡単な説明】

【図1】本発明の一実施例のディジーチェーン接続構成を示す図である。

【図2】本発明の一実施例における多重変換部及びハイウェイインターフェース部の構成を示す図である。

【図3】本発明の一実施例における多重変換部の構成を示す図である。

【図4】本発明の一実施例における多重設定レジスタの詳細を示す図である。

【図5】本発明の一実施例における多重設定レジスタの一覧を示す図である。

【図6】本発明の一実施例における多重変換部のデータ多重部の構成を示す図である。

【図7】本発明の一実施例における多重変換部のデータ多重部のDP-RAMの書込タイミングを示す図である。

【図8】本発明の一実施例における多重変換部のデータ多重部のDP-RAMの読み出しタイミングを示す図である。

【図9】本発明の第2の実施例における多重変換部の構成を示す図である。

【図10】本発明の第2の実施例における多重変換部のデータ多重部のDP-RAMの書込タイミングを示す図である。

【図11】本発明の第2の実施例における多重変換部のデータ多重部のDP-RAMの読み出しタイミングを示す図である。

【図12】従来のディジーチェーン接続構成を示す図で

ある。

【図13】従来のハイウェイインターフェース部の構成を示す図である。

【符号の説明】

100、200 交換局

110、120、1n0、210、220、2n0 基地局変復調装置

111、121、1n1、211、221、2n1 ハイウェイインターフェース部

112、122、1n2、212、222、2n2 送受信部

113、123、1n3、213、223、2n3 監視制御部

301、302 バイポーラ／ユニポーラ変換部

303、404 ハイウェイ制御部

304、405 ブロック交換部

401、402 バイポーラ／ユニポーラ変換部・B8ZSコーダ

403 データ分離多重部

501、503、1101、1103 バイポーラ／ユニポーラ変換部

502、504、1102、1104 ユニポーラ／バイポーラ変換部

505、507 B8ZSデコーダ

506、508 B8ZSエンコーダ

509、510 フレーム信号生成部

511 データ多重部

512 データ分離部

513 データ分離多重部

801 S/P変換部

802 ライトアドレス生成部

803 ライトパルス生成部

804、805、806 セレクタ

807 DP-RAM

808 アドレス比較・面制御部

809 P/S変換部

810 リードアドレス生成部

811 ロードパルス生成部

812 データ合成部

813 CRCビット挿入部

1105 上位側送信信号データ多重部

1106 下位側送信信号データ多重部

1107 データ分離多重部

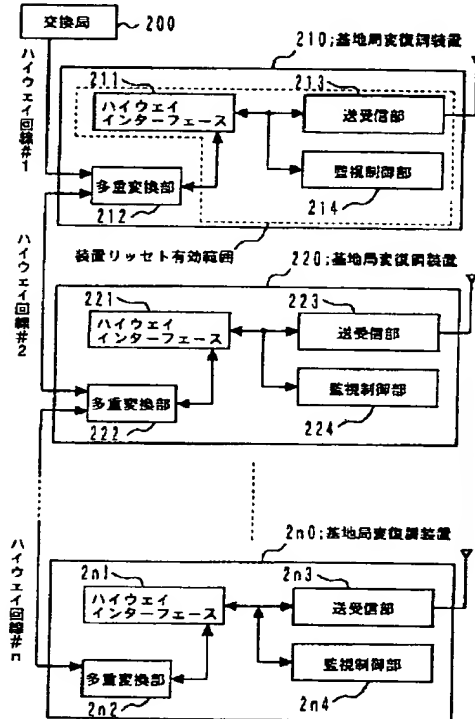
【要約】

【課題】基地局変復調装置において、装置リセットをかけても、下位側に接続されている装置がシステムダウンすることを回避する方法及び装置の提供。

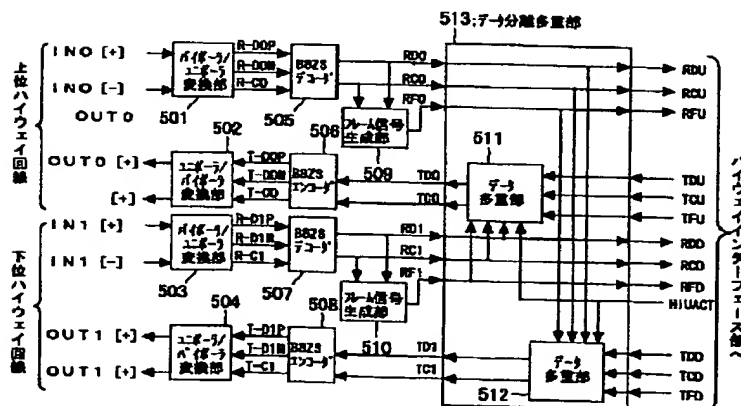
【解決手段】バイポーラ／ユニポーラ変換手段とB8ZSデコード手段と多重分離手段とを備え、ハイウェイからのバイポーラ信号をユニポーラ信号に変換し、下位側

ハイウェイと上位側ハイウェイとの間でタイムスロット (TS) の多重変換を行う多重変換部と、ハイウェイデータの中継、ハイウェイ回線の障害監視、回線クロックを基準に装置内クロックの生成を行うハイウェイインタフ

【図1】

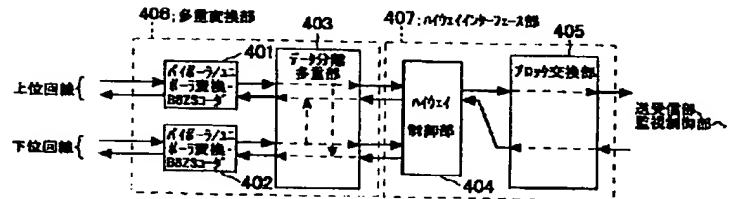


【図3】



ース部と、を含み、前記多重変換部は、装置リセットではリセットされず装置内で独立したリセットシステムを有し、前記多重変換部を介してデジチチェーン接続される。

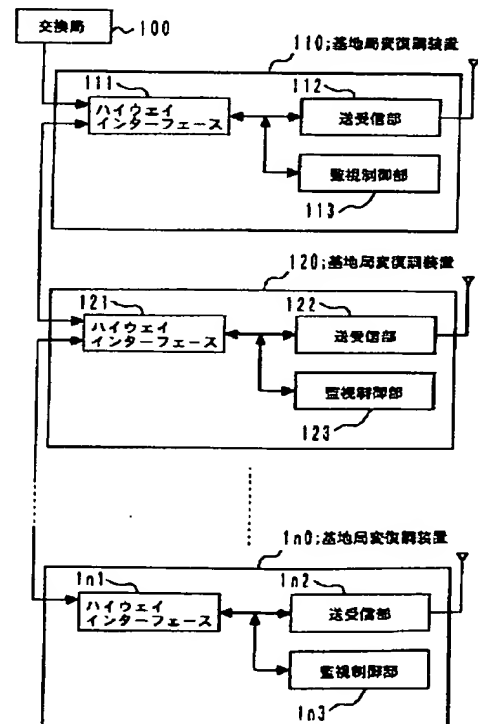
【図2】



【図4】

アドレス	内容
0000H	D7
	D6
	D5
	D4
	D3
	D2
	D1
	D0
0000H ~ 002FH	多重ON/OFF設定 0:ON 1:OFF
	RDO (RD1) 側タイムスロット指定 TS1~24 (設: 0H~17H)

【図12】



【图 7】

Timing diagram for the RD1 read operation. The diagram shows four signals over time:

- RD1**: A clock signal with a period of 100ns. A vertical arrow labeled "Fビット" (F-bit) points to the rising edge of the first clock cycle.
- S/P 変換データ**: A 4-bit data bus. The values are TS24, TS1, TS2, and TS3, each valid for one clock cycle.
- BP-RAMライトアドレス**: A 4-bit address bus. The values are 17H, 00H, 01H, and 02H, each valid for one clock cycle.
- ライトパルス**: A series of four pulses, each lasting 10ns, corresponding to the data and address values.

Figure 1 is a block diagram of the control system for the data transfer device. It shows the internal structure of the control unit, including address and data buses, and various control blocks. Key components include:

- 801 (S/P 置換)**: A block that receives RD1, RC1, and RF1 signals and outputs to the address bus (802).
- 802 (アドレス生成)**: A block that generates addresses (WA0, WA6, RA0, RA6, WE, RB) and outputs to the data bus (803).
- 803 (データ生成)**: A block that generates data (D0, D7) and outputs to the data bus (804).
- 804 (アドレス比較・面制御部)**: A block that compares addresses and controls the data bus (805).
- 805 (レギュレータ)**: A block that regulates the data bus (806).
- 806 (レギュレータ)**: A block that regulates the data bus (807).
- 807 (DP-RAM)**: A block that stores data (D0, D7) and outputs to the data bus (808).
- 808 (レギュレータ)**: A block that regulates the data bus (809).
- 809 (P/S 置換)**: A block that receives TDD, TCD, and TFD signals and outputs to the data bus (810).
- 810 (リードアドレス生成)**: A block that generates read addresses (WA0, WA6, RA0, RA6, WE, RB) and outputs to the data bus (811).
- 811 (D-バス生成)**: A block that generates the data bus (812).
- 812 (データ合成部)**: A block that synthesizes data (813) and outputs to the data bus (814).
- 813 (CRC ビット挿入)**: A block that inserts CRC bits (815) and outputs to the data bus (816).

The diagram also shows the external connections for RD1, RC1, RF1, TDD, TCD, TFD, and HIUACT.

HIUACT

(HIUACTインターフェイス部が「ACTON」)

多量ビットアドレス

DP-RAM 9ビット

P/S変換 D-FLA

多量アドレス

RD1

TDU

TDD

Fビット

(HIUACTインターフェイス部が「ACTOFF」)

多量アドレス

DP-RAM 9ビット

P/S変換 D-FLA

多量アドレス

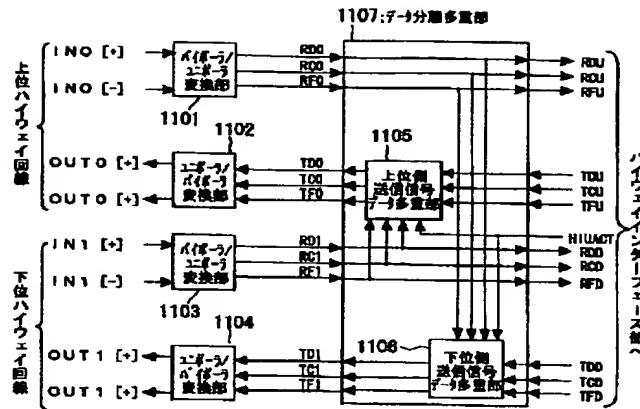
RD1

TDU

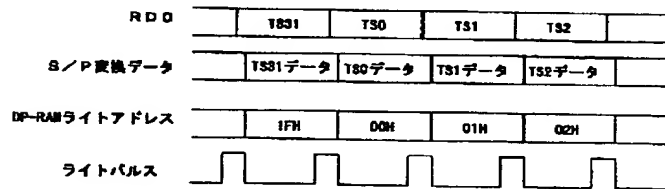
TDD

Fビット

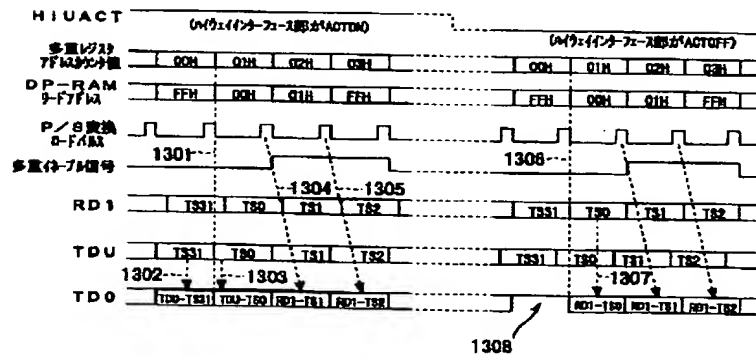
【図9】



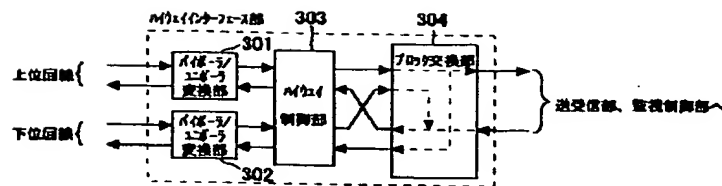
【図10】



【図11】



【図13】



フロントページの続き

(58) 調査した分野 (Int. Cl. ⁷, DB 名)

H04B 7/26

H04Q 7/04 - 7/38

H04L 12/28

G06F 13/37